

ВІДГУК

офіційного опонента, доктора технічних наук, професора
Бабакова Романа Марковича
на дисертаційну роботу Демченка Олега Івановича
на тему: «Векторно-логічні моделі цифрових схем для симуляції та візуалізації», подану до захисту на здобуття наукового ступеня доктора філософії з галузі знань 12 Інформаційні технології спеціальності 123 Комп'ютерна інженерія

Актуальність теми дослідження.

Сучасні тенденції розвитку EDA-технологій стикаються з викликами щодо енергозбереження, мінімізації часу розв'язку практичних задач, перенесенням обробки даних з центрального процесора у пам'ять. Одне з запропонованих рішень складає теорія векторно-логічного комп'ютингу, що продовжує наукову школу кафедри автоматизації проєктування обчислювальної техніки ХНУРЕ, чому й присвячена тема дисертації. Векторна логіка не вимагає синтезу та забезпечує швидкодію порівняну з логікою процесора або замовленої схеми. Це робить моделювання складних цифрових проєктів та аналіз великих даних економічними з погляду витрат часу та енергії.

Отже, дисертаційне дослідження спрямоване на розроблення моделей, методів, архітектур для симуляції несправностей як адрес цифрових схем, заснованих на транзакціях читання-запису без інструкцій процесора, є актуальним, науково обґрунтованим та таким, що відповідає сучасним тенденціям розвитку галузі інформаційних технологій та спеціальності 123 Комп'ютерна інженерія.

Методологія наукових досліджень.

Методологія дисертаційного дослідження характеризується системністю, логічною узгодженістю, відповідністю задач поставленій меті.

У вступі обґрунтовано актуальність дослідження, пов'язану з векторно-логічним моделюванням для симуляції як прикладом нового масового обчислення в пам'яті, що пропонує економічно ефективні рішення з точки зору енергії та часу для проєктування, верифікації, тестування та діагностики цифрових продуктів. Визначено об'єкт, предмет, мету, завдання, методи дослідження, наукову новизну та практичне значення роботи.

У першому розділі проаналізовано сучасні тенденції і основні виклики, пов'язані із прогресивними технологіями корпусування ІМС, моделювання несправностей для подальшого вибору оптимальної моделі

тестування міжз'єднань чиплетів. За результатами аналізу сформульовано мету, об'єкт, предмет і основні завдання дослідження.

У другому розділі розкрито питання розробки розумних структур даних векторної логіки для зниження обчислювальної складності алгоритмів тестування логічних функціональностей; створення механізмів тестування векторної логіки на основі використання таблиць істинності та матриць, побудованих на логічному векторі; векторне тестування логічних схем шляхом моделювання несправностей як адрес бітів логічного вектора.

Третій розділ присвячено математичному апарату декартової та векторної логіки для механізмів моделювання. Пропонуються механізми побудови логічного вектора на основі матричних структур декартової логіки для вирішення задач Modeling for Simulation. Розглядається метод прямого паралельного good-value моделювання схеми на основі використання логічних векторів елементів та таблиць істинності. Робиться висновок про те, що якщо специфікація функціональності задана логічним вектором, то відсутня потреба у синтезі комбінаційної схеми та подальшому моделюванні її, щоб знову отримати логічний вектор для верифікації. Замість цього логічний вектор специфікації слід безпосередньо використовувати в архітектурі in-memory комп'ютингу для тестування, верифікації, діагностування та експлуатації.

Четвертий розділ присвячено розробці хмарного сервісу для економічного вирішення задач MOdelling for SImulatiOn (MOSI) на основі векторно-логічного in-memory комп'ютингу, орієнтованого на використання read-write транзакцій без інструкцій процесора. Розроблено парсер-механізм для конвертації HDL коду логічної схеми у внутрішні векторно-логічні структури даних сервісу MOSI. Здійснено modeling векторно-логічної моделі цифрової схеми для good-value simulation вхідних тестових наборів, як адрес логічних векторів елементів. Запропоновано механізм генерування дедуктивних векторів за векторно-логічною моделлю цифрової схеми для fault as address simulation вхідних тестових наборів. Створено механізм modelling матриці моделювання несправностей, як бітів адрес дедуктивного вектора кожного елемента на тестовому наборі. Виконано оцінку складності алгоритмів моделювання та показано, що її можна знизити до лінійної. Виконано рендеринг та синхронізацію результатів good-value and fault as address simulation у таблицях good-value simulation, fault as address simulation, матриці моделювання несправностей на вхідному наборі та на лініях логічної схеми, що виводиться на екран монітора. Здійснено кодування механізмів моделювання та симуляції, а також їхню верифікацію на прикладах логічних схем бібліотеки ISCAS.

У висновках узагальнено отримані наукові та практичні результати. Основним результатом роботи є розроблення моделей, алгоритмів,

механізмів векторно-логічного modelling for simulation – моделінг в пам'яті (in-memory) для симуляції несправностей як адрес цифрових схем, заснованих на транзакціях читання-запису (read-write) без інструкцій процесора, а також їх практична реалізація у вигляді хмарного сервісу, інтегральною перевагою якого є синхронізація процесів моделювання по всіх вікнах, що представляють всі суттєві процедури для розуміння отриманого результату.

Отримані результати підтверджені теоретичними дослідженнями та експериментальними даними, що свідчить про обґрунтованість і достовірність запропонованих рішень.

Новизна представлених досліджень.

Дисертаційна робота має суттєву наукову новизну та спрямована на розв'язання науково-практичної задачі зниження часових та енергетичних витрат fault/good-value as address simulation цифрових схем за рахунок надлишковості векторно-логічних моделей їх елементів.

Наукова новизна полягає у наступному:

- удосконалено розумні структури даних, які орієнтовані на безпроцесорний векторно-логічний modeling for fault/good-value as address simulation за допомогою read-write транзакцій, що дозволило зменшити обчислювальну складність алгоритмів симуляції до лінійної;

- вперше запропоновано векторно-логічну модель елементів цифрової схеми, що дозволяє здійснити good-value simulation вхідних тестових наборів та fault as address simulation як адрес бітів логічного та дедуктивного вектора на основі read-write транзакцій та знизити обчислювальну складність алгоритмів тестування логічних функціональностей до лінійної;

- вперше запропоновано архітектуру для моделювання схеми та рендерингу процесів синхронізації векторно-логічного modeling for fault/good-value as address simulation, що містить побудову моделі об'єкта у пам'яті комп'ютера та дозволяє проєктувальнику візуально супроводжувати процес modeling for simulation цифрової схеми (вручну будувати тести для покриття несправностей логічних схем);

- вперше запропоновано механізми векторно-логічного modeling for fault/good-value as address simulation, що відзначаються лінійною алгоритмічною складністю.

Отримані результати розширюють наукові уявлення про концепція in-memory комп'ютингу на основі read-write транзакцій, вільних від команд процесора, масова імплементація якого забезпечить енергозбереження.

Практична цінність дисертаційного дослідження.

Практичне значення роботи полягає у розробленні алгоритмів, процедур та засобів для розв'язання задач modelling for simulation, що дозволяє економити ресурси – час та енергію.

Розроблено хмарний сервіс MOSI-HDL на основі векторно-логічного in-memory комп'ютингу, що орієнтований на використання read-write транзакцій без інструкцій процесора, який містить:

- векторно-логічні моделі елементів цифрової схеми для здійснення good-value simulation вхідних тестових наборів та симуляцію несправностей як адрес бітів логічного та дедуктивного вектора на основі read-write транзакцій;

- механізми good-value simulation of test set as address цифрової схеми без процесора; механізми fault as address simulation цифрової схеми без участі процесора;

- механізм fault as address simulation вхідного набору, використовуючи квадратичну матрицю симуляції;

- механізми рендерингу (візуалізації) та синхронізації результатів моделювання у чотирьох масштабованих вікнах, які виводяться на екран монітора, що є інтегральною перевагою або новизною даних сервісів, зокрема, для розуміння отриманого результату. Вони пройшли верифікацію на десятках прикладів з бібліотеки стендових схем ISCAS.

В роботі оговорено обмеження розроблених сервісів на поточний час (що може скласти перспективу досліджень та розробок): 1) підтримується тільки комбінаційний Verilog RTL-код без ієрархії; 2) трасування, хоч і показує високий рівень понад 90%, у багатьох випадках менше 100% і не гарантує оптимальних результатів; 3) схеми з числом входів в елементах більше 10 вимагають ручного введення тестових векторів. Обмеження також обумовлені тим, що сервіс є діючим прототипом та постійно розвивається й доповнюється новими функціоналами. Наприклад, поточна версія підтримує інтеграцію з відомими зовнішніми сервісами автоматичного генератору тестів, але у перспективі – створення інструментарію для генерації тестів, що покривають усі несправності логічних схем будь-якої конфігурації.

Апробація результатів.

Основні результати дисертаційної роботи опубліковані у 9 друкованих працях, серед яких 3 статті, а саме: 1 стаття – в міжнародному науковому журналі за кордоном, що індексується Scopus, 2 статті – у наукових журналах, включених до «Переліку наукових фахових видань України», з них 1 – у журналі категорії А, що входить до наукометричної бази Web of Science, та 1 – категорії Б, а також 3 тез доповідей у матеріалах міжнародних наукових конференцій, з них 1 входить до науково-метричної бази Scopus.

Результати роботи також апробовано на виставках технічної творчості молоді при Міжнародному молодіжному форумі «Радіoeлектроніка та молодь у ХХІ столітті» форуму у 2025 та 2026 роках та висвітлено у каталозі виставок, де розробка хмарного сервісу MOSI-HDL стала переможцем.

Результати дисертації у складі векторно-логічних моделей та механізмів впроваджені у навчальний процес Харківського національного університету радіoeлектроніки (акт про впровадження від 15.06.2026).

Дотримання академічної доброчесності.

Порушень принципів академічної доброчесності в дисертаційній роботі не виявлено. Запозичення оформлені належним чином, результати дослідження є оригінальними та отримані автором самостійно.

Зауваження.

Незважаючи на загалом високий науковий рівень дисертаційної роботи, у ході її аналізу можна відзначити окремі положення, що мають дискусійний характер або можуть бути уточнені.

1. Питання термінології, а саме: in-memoгу (ін-меморі); розумні структури даних; механізми. Слід було більш ретельно пояснити застосування цих термінів у роботі.

2. Яка максимальна кількість входів логічного елемента може бути оброблена на основі логічного вектора?

3. Не зовсім зрозуміло, чи можна по карті тестування визначати тест мінімального покриття функціональності для його використання як testbench?

4. Яка максимальна кількість ліній комбінаційної схеми, яка може бути оброблена за допомогою програми моделювання несправностей як адрес.

5. Що потрібно зробити, щоб запропоновані методи тестової верифікації з'явилися на ринку EDA-технологій. Інакше – який road-map монетизації розроблених в дисертації рішень?

При цьому зазначені зауваження мають рекомендаційний характер і не впливають на загальну позитивну оцінку роботи.

Загальна оцінка роботи.

Дисертаційна робота Демченка Олега Івановича «Векторно-логічні моделі цифрових схем для симуляції та візуалізації» є завершеним науковим дослідженням, у якому розв'язано науково-практичну задачу зниження часових та енергетичних витрат fault/good-value as address simulation цифрових схем за рахунок надлишковості векторно-логічних моделей їх елементів.

Робота характеризується чіткою структурою, логічною послідовністю викладу матеріалу, достатнім рівнем теоретичного обґрунтування та експериментального підтвердження результатів. Отримані результати мають наукову новизну та практичну значущість.

З урахуванням теоретичної значущості проведеного дослідження, рівня наукової новизни, обґрунтованості та достовірності отриманих результатів, а також їх практичної спрямованості, можна зробити висновок, що дисертаційна робота повністю відповідає вимогам пунктів 6, 7, 8 і 9 Порядку присудження ступеня доктора філософії, затвердженого постановою Кабінету Міністрів України від 12 січня 2022 року № 44.

На підставі проведеного аналізу вважаю, що Демченко Олег Іванович заслуговує на присудження ступеня доктора філософії в галузі знань 12 Інформаційні технології за спеціальністю 123 Комп'ютерна інженерія.

Офіційний опонент:

професор кафедри інформаційних технологій
Донецького національного університету
імені Василя Стуса,
доктор технічних наук, доцент



Роман БАБАКОВ

26 серпня 2026 р.